

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2002年10月4日
Date of Application:

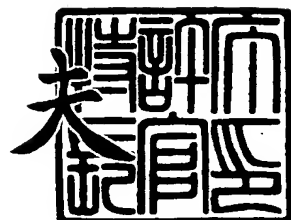
出願番号 特願2002-292276
Application Number:
[ST. 10/C]: [JP 2002-292276]

出願人 セイコーエプソン株式会社
Applicant(s):

2003年 7月31日

特許庁長官
Commissioner,
Japan Patent Office

今井 康



出証番号 出証特2003-3061026

【書類名】 特許願

【整理番号】 EP-0403301

【提出日】 平成14年10月 4日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/78

【発明者】

【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

【氏名】 金本 啓

【特許出願人】

【識別番号】 000002369

【氏名又は名称】 セイコーエプソン株式会社

【代理人】

【識別番号】 100090479

【弁理士】

【氏名又は名称】 井上 一

【電話番号】 03-5397-0891

【選任した代理人】

【識別番号】 100090387

【弁理士】

【氏名又は名称】 布施 行夫

【電話番号】 03-5397-0891

【選任した代理人】

【識別番号】 100090398

【弁理士】

【氏名又は名称】 大淵 美千栄

【電話番号】 03-5397-0891

【手数料の表示】

【予納台帳番号】 039491

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9402500

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 半導体基板の上方にダミーゲート層を形成し、

前記半導体基板の上方に、前記ダミーゲート層の両側面に隣接してスペーサ層を形成し、

前記半導体基板の上方にシリコン層をエピタキシャル成長によって選択的に形成し、

前記ダミーゲート層を除去した後、ゲート電極を形成し、

前記シリコン層を介して前記半導体基板に不純物を導入してソース／ドレイン領域を形成し、

前記シリコン層をシリサイド化すること、を含む、半導体装置の製造方法。

【請求項 2】 半導体基板に素子分離絶縁層を形成し、

前記半導体基板の上方にダミーゲート層を形成し、

前記半導体基板の上方に、前記ダミーゲート層の両側面に隣接してスペーサ層を形成し、

前記半導体基板の上方にシリコン層をエピタキシャル成長によって選択的に形成し、

前記ダミーゲート層を除去した後、ゲート電極を形成し、

前記スペーサ層を除去した後、イオン注入によって、該スペーサが除去された領域の前記半導体基板に不純物を導入してエクステンション領域を形成し、

前記ゲート電極の両側面に隣接するサイドウォール絶縁層を形成し、

イオン注入によって、前記シリコン層を介して前記半導体基板に不純物を導入してソース／ドレイン領域を形成し、

前記シリコン層をシリサイド化すること、を含む、半導体装置の製造方法。

【請求項 3】 請求項 2 において、

前記スペーサ層は、前記ダミーゲート層と異なる材料を前記半導体基板の上に堆積させた後、異方性エッチングを行うことにより形成される、半導体装置の製

造方法。

【請求項 4】 請求項 2 または 3 において、

前記シリコン層を形成した後、該シリコン層の表面に、熱酸化によって酸化シリコンからなるストッパ層を形成することを含む、半導体装置の製造方法。

【請求項 5】 半導体基板に素子分離絶縁層を形成し、

前記半導体基板の上方に絶縁層を形成した後、所定領域に溝を形成し、

前記半導体基板の上方にダミーゲート層を形成し、該ダミーゲート層は、下部が前記溝内にあり、上部は前記溝より大きい幅を有し、該上部の側面は前記溝より外側に位置し、

前記ダミーゲート層をマスクとして前記絶縁層をパターニングし、前記半導体基板の上方に、前記ダミーゲート層の両側面に隣接するスペーサ層を形成し、

前記半導体基板の上方にシリコン層をエピタキシャル成長によって選択的に形成し、

前記ダミーゲート層を除去した後、ゲート電極を形成し、

前記スペーサ層を除去した後、イオン注入によって、該スペーサ層が除去された領域の前記半導体基板に不純物を導入してエクステンション領域を形成し、

前記ゲート電極の両側面に隣接するサイドウォール絶縁層を形成し、

イオン注入によって、前記シリコン層を介して前記半導体基板に不純物を導入してソース／ドレイン領域を形成し、

前記シリコン層をシリサイド化すること、を含む、半導体装置の製造方法。

【請求項 6】 請求項 5 において、

前記シリコン層を形成した後、該シリコン層の表面に、熱酸化によって酸化シリコンからなるストッパ層を形成することを含む、半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置の製造方法に関し、特に選択エピタキシャル成長によりソース／ドレイン領域の上にシリコン層を形成する、エレベーター・ソース／ドレイン (Elevated Source/Drain) 技術を用いる半導体装置の製造方法に関

する。

【0002】

【背景技術および発明が解決しようとする課題】

エレベータッド・ソース／ドレイン技術では、半導体基板に形成されたソース／ドレイン領域の上に、エピタキシャル成長によって単結晶シリコン層を形成し、このシリコン層においてシリサイド化を行い、半導体基板の上にシリサイド層を形成する。このようにすることで、ソース／ドレイン領域の不純物層を浅くすることができ、素子の微細化に対応できる。

【0003】

ところで、かかるエレベータッド・ソース／ドレイン技術では、通常、シリコンをエピタキシャル成長で形成する工程で700℃以上の熱処理を必要とする。そのため、あらかじめイオン注入などによって形成された、ソース／ドレイン領域などの不純物プロファイルが変化してしまい、設計通りの不純物層を形成することが困難な場合がある。

【0004】

また、メタルゲートを用いる場合には、メタルゲートを形成した後に上述した700℃以上の熱処理を行うと、界面反応によってメタルゲートの成分とゲート絶縁層の成分とが反応してゲート絶縁層の特性が劣化する問題を生じる。

【0005】

本発明の目的は、上述したエピタキシャル成長の工程での熱処理の影響を受けずに精度の高い不純物層を形成できる、半導体装置の製造方法を提供することにある。

【0006】

【課題を解決するための手段】

本発明にかかる製造方法は、半導体基板の上方にダミーゲート層を形成し、前記半導体基板の上方に、前記ダミーゲート層の両側面に隣接してスペーサ層を形成し、

前記半導体基板の上方にシリコン層をエピタキシャル成長によって選択的に形成し、

前記ダミーゲート層を除去した後、ゲート電極を形成し、

前記シリコン層を介して前記半導体基板に不純物を導入してソース／ドレイン領域を形成し、

前記シリコン層をシリサイド化すること、を含む。

【0007】

本発明によれば、エピタキシャル成長によってシリコン層を形成した後に、ゲート電極を形成し、さらにソース／ドレイン領域を形成する。したがって、エピタキシャル成長の工程で行われる高温のアニール処理の影響を受けずに不純物層を形成できるので、不純物の拡散を抑制でき、設計通りの不純物プロファイルを有する浅いソース／ドレイン領域を形成できる。また、エピタキシャル成長の工程で行われる高温のアニール処理の影響を受けずにゲート電極を形成できるので、ゲート電極の材料としてポリシリコンのみならずタンタルなどの金属を採用でき、ゲート電極の材料の選択性が広がる。

【0008】

本発明において、半導体基板の上方に特定の層を形成するとは、半導体基板上に直接特定の層を形成する場合と、半導体基板上の他の層を介して特定の層を形成する場合とを含む。本発明において、「シリコン層」とは、主成分がシリコン単体の場合のみならず、シリコンに他の物質、たとえばゲルマニウムが含まれていてもよい。また、「ソース／ドレイン領域」とは、ソース領域またはドレイン領域を意味する。

【0009】

本発明の製造方法は、より具体的に以下の態様をとることができる。

【0010】

第1の態様にかかる発明は、半導体基板に素子分離絶縁層を形成し、

前記半導体基板の上方にダミーゲート層を形成し、

前記半導体基板の上方に、前記ダミーゲート層の両側面に隣接してスペーサ層を形成し、

前記半導体基板の上方にシリコン層をエピタキシャル成長によって選択的に形成し、

前記ダミーゲート層を除去した後、ゲート電極を形成し、
前記スペーサ層を除去した後、イオン注入によって、該スペーサが除去された領域の前記半導体基板に不純物を導入してエクステンション領域を形成し、
前記ゲート電極の両側面に隣接するサイドウォール絶縁層を形成し、
イオン注入によって、前記シリコン層を介して前記半導体基板に不純物を導入してソース／ドレイン領域を形成し、
前記シリコン層をシリサイド化すること、を含むことができる。

【0011】

この発明において、前記スペーサ層は、前記ダミーゲート層と異なる材料を前記半導体基板の上方に堆積させた後、異方性エッチングを行うことにより形成できる。

【0012】

第2の態様にかかる発明は、
半導体基板に素子分離絶縁層を形成し、
前記半導体基板の上方に絶縁層を形成した後、所定領域に溝を形成し、
前記半導体基板の上方にダミーゲート層を形成し、該ダミーゲート層は、下部が前記溝内にあり、上部は前記溝より大きい幅を有し、該上部の側面は前記溝より外側に位置し、
前記ダミーゲート層をマスクとして前記絶縁層をパターニングし、前記半導体基板の上方に、前記ダミーゲート層の両側面に隣接するスペーサ層を形成し、
前記半導体基板の上方にシリコン層をエピタキシャル成長によって選択的に形成し、
前記ダミーゲート層を除去した後、ゲート電極を形成し、
前記スペーサ層を除去した後、イオン注入によって、前記スペーサ層が除去された領域の前記半導体基板に不純物を導入してエクステンション領域を形成し、
前記ゲート電極の両側面に隣接するサイドウォール絶縁層を形成し、
イオン注入によって、前記シリコン層を介して前記半導体基板に不純物を導入してソース／ドレイン領域を形成し、
前記シリコン層をシリサイド化すること、を含むことができる。

【0013】

第1および第2の態様の発明において、前記シリコン層を形成した後、該シリコン層の表面に熱酸化によって酸化シリコンからなるストッパ層を形成することを含むことができる。この方法によれば、シリコン層をエッチングから保護するためのストッパ層を選択的に形成できる。

【0014】

【発明の実施の形態】

以下、図面を参照しながら本発明の実施の形態を説明する。

【0015】

[第1の実施の形態]

図1～図8は、第1の実施の形態に係る製造方法を示す断面図である。

【0016】

(a) 図1に示すように、シリコンなどの半導体基板10に、素子分離絶縁層12を形成する。素子分離絶縁層12は、公知の方法によって形成することができる。素子分離絶縁層12は、たとえば、シャロートレンチアイソレーション技術を用いて形成することができる。

【0017】

ついで、熱酸化法によって半導体基板10の表面に酸化シリコン層を形成する。ついで、この酸化シリコン層上にCVD法等を用いて窒化シリコン層を形成する。その後、酸化シリコン層および窒化シリコン層を公知のリソグラフィ（例えば光、X線あるいは電子ビームを用いたリソグラフィ）およびエッチング（例えば反応性イオンエッチング）によってパターンニングすることにより、保護層14とダミーゲート層16とを形成する。保護層14の幅は、ゲート長に相当する。

【0018】

この工程で形成される保護層14は、後のダミーゲート層16のエッチング工程(d)において半導体基板10を保護する機能を有する。保護層14の膜厚は、この保護機能を有し、かつできるだけ容易に除去されるように設定される。これらのことを考慮すると、保護層14は、数nm～10nmの膜厚を有することができる。なお、保護層14が無くても問題のない場合には、これを設けなくと

もよい。また、ダミーゲート層 16 の膜厚は、後のゲート電極の形成工程 (e) における電極材料の埋込み性などを考慮して設定される。ダミーゲート層 16 は、例えば 10 ~ 100 nm の膜厚を有することができる。

【0019】

ついで、ダミーゲート層 16 の両側面に接してスペーサ層 18 を形成する。スペーサ層 18 は、CVD 法などを用いて酸化シリコン層を基板上に堆積した後、反応性イオンエッチングなどの異方性エッチングを行うことにより形成することができる。したがって、スペーサ層 18 は、エッチングにおいてダミーゲート層 16 に対して充分に異なる選択比をとれるように、ダミーゲート層 16 と異なる材料によって形成される。本実施の形態では、ダミーゲート層 16 は窒化シリコン層から構成され、スペーサ層 18 は酸化シリコン層から構成されている。

【0020】

(b) 図 2 に示すように、半導体基板 10 上に、エピタキシャル成長によってシリコン層 20 を選択的に形成する。シリコン層 20 は、半導体基板 10 上においてシリサイド化されるのに必要な膜厚と、つぎの酸化シリコン層 (ストッパ層) の形成工程 (c) での熱酸化に必要な膜厚とを考慮して決めることができる。シリコン層 20 の膜厚は、このような点を考慮すると、50 ~ 100 nm とすることができる。

【0021】

シリコン層 20 は、公知のエピタキシャル成長によって形成できる。シリコン層 20 は、例えば、以下のように形成される。まず、半導体基板 10 の表面を RCA 洗浄などの公知の方法で洗浄する。RCA 洗浄は、自然酸化膜を希フッ酸などを用いたライトエッチングで除去する工程を最後に含む。ついで、水素雰囲気中または真空中で半導体基板 10 に熱処理を施すことにより、半導体基板 10 の表面の酸化膜を完全に除去する。ついで、800℃以上の温度で半導体基板 10 を加熱した状態で、 $\text{SiH}_x\text{Cl}_{4-x}$ ($x=0\sim 4$)、 Si_2H_6 、 Si_3H_8 、 GeH_4 、 H_2 、 Cl_2 などガスを成膜装置内に供給する。これにより、シリコンからなる半導体基板 10 の露出部分にエピタキシャル成長によって選択的にシリコン層 20 を形成することができる。

【0022】

(c) 図3に示すように、熱酸化法によって、シリコン層20の表面に酸化シリコン層からなるストッパ層22を選択的に形成する。ストッパ層22は、後の工程(e)のエッチングにおいてシリコン層20を保護する機能を有する。このような機能を考慮すると、ストッパ層22は、3~20nmの膜厚を有することができる。

【0023】

(d) 図4に示すように、窒化シリコン層からなるダミーゲート層16を熱リン酸によってエッチングして除去する。この工程では、半導体基板10は酸化シリコン層からなる保護層14で覆われ、また、シリコン層20は酸化シリコン層からなるストッパ層22とスペーサ層18とによって覆われているため、いずれも熱リン酸によるエッチングでダメージを受けることがない。ついで、保護層14を希フッ酸によるライトエッチングで除去し、半導体基板10を露出させる。

【0024】

(e) 図5に示すように、ゲート絶縁層24、ゲート電極26およびキャップ層28を形成する。ゲート絶縁層24としては、酸化シリコン、酸化窒化シリコン、窒化シリコンの他、酸化タンタルなどの高誘電体を用いることができる。ゲート電極26としては、ポリシリコンあるいはタングステン、タンタルなどの金属を用いることができる。キャップ層28としては、酸化シリコン、窒化シリコンなどを用いることができる。ゲート電極26としてタンタルなどの金属を用いた場合には、かかる金属の酸化を防止するために、キャップ層は酸素を含まない窒化シリコンなどを用いることが好ましい。キャップ層28は、ゲート電極26のエッチング後のプロセスでゲート電極26の酸化を防止する機能を有する。

【0025】

本実施の形態では、ダミーゲート層16を除去した後の溝部にゲート電極26を形成するので、この溝部が完全に埋め込まれるようにマスクのアライメントなどを考慮して、ゲート電極26の幅(上部の幅)は溝部の幅より大きく設定されている。

【0026】

ゲート電極 26 としてタンタルを用いる場合には、ゲート絶縁層 24 として窒化シリコン層を用い、ゲート電極 26 として第 1 窒化タンタル層／タンタル層／第 2 窒化タンタル層の積層構造を用い、キャップ層 28 として窒化シリコンを用いることができる。この場合、ゲート絶縁層 24、ゲート電極 26 およびキャップ層 28 は、たとえば、プラズマ CVD あるいは高密度プラズマ、アトミックレイヤーデポジション法、スパッタ法でゲート絶縁層を形成し、スパッタ法あるいはプラズマ CVD、高密度プラズマでゲート電極およびキャップ層を形成した後、反応性イオンエッチングなどのドライエッチングによりパターニングを行うことで形成できる。ゲート電極 26 において、第 1 窒化タンタル層は主に仕事関数制御層として機能し、第 2 窒化タンタル層は耐酸化機能を有する。かかる積層構造のタンタルゲート電極の例は、特開 2001-298193 号公報に記載されている。

【0027】

この工程では、シリコン層 20 はストッパ層 22 とスペーサ層 18 とによって覆われているため、ゲート電極 26 のエッチング時にダメージを受けることがない。

【0028】

(f) 図 6 に示すように、酸化シリコンからなるスペーサ層 18 を例えば希フッ酸によってエッチングする。このとき、シリコン層 20 上のストッパ層 22 も同時にエッチングされる。ついで、斜めイオン注入によって半導体基板 10 の露出部（スペーサ層 18 が除去された領域）に不純物を導入して、エクステンション領域 30 を形成する。エクステンション領域 30 は、つぎの工程 (g) で形成されるソース／ドレイン領域より浅く形成される。

【0029】

(g) 図 7 に示すように、ゲート絶縁層 24、ゲート電極 26 およびキャップ層 28 の両側面にサイドウォール絶縁層 32 を形成する。サイドウォール絶縁層 32 は、酸化シリコン層、窒化シリコン層などの絶縁層を CVD 法によって半導体基板 10 上に全面的に形成した後、反応性イオンエッチングなどの異方性エッチングを行うことにより形成される。ゲート電極 26 としてタンタルなどの金属

を用いる場合には、かかる金属の酸化を防止するために、酸素を含まない窒化シリコン層を用いることが好ましい。

【0030】

ついで、イオン注入（図示の例では斜めイオン注入）によって、シリコン層 20 を介して半導体基板 10 に不純物を導入し、ソース／ドレイン領域 34 を形成する。そして、アニールを行うことによりソース／ドレイン領域の不純物を活性化させる。このときのアニール温度は、不純物の熱拡散を抑制し、ゲート電極に悪影響を与えない程度の温度で行われることが望ましい。特に、ゲート電極 26 としてタンタルなどの金属を用いた場合には、低温アニール（450～600℃）を行うことが望ましい。ゲート電極 26 としてタンタルなどの金属を用いた場合には、約 700℃以上の高温に晒されると、この金属とゲート絶縁層とが反応して所望のゲート構造を得ることができないことがある。

【0031】

(h) 図 8 に示すように、シリコン層 20 にサリサイド技術によってシリサイド層 36 を形成する。シリサイド層 36 は、遷移金属、たとえばコバルト、ニッケル、チタンなどをスパッタ法によって成膜した後、アニールによってシリコン層 20 でシリサイドを自己整合的に形成する。このサリサイド工程においては、アニール温度は、不純物の熱拡散を抑制し、ゲート電極に悪影響を与えない程度の温度で行われることが望ましい。金属としてニッケルを用いることにより、500℃程度の低温でシリサイド化を行うことができる。この場合、ゲート電極としてタンタルなどの金属を用いてもこれにダメージを与えることがなく、また、不純物層の熱による拡散を抑制できる。

【0032】

この後は、通常のプロセス技術により層間絶縁層および配線層を形成し、半導体装置を完成することができる。

【0033】

本実施の形態にかかる製造方法では、主に以下の作用効果を有する。

【0034】

本実施の形態では、工程 (b) でエピタキシャル成長によってシリコン層 20

を形成した後に、工程 (e) でゲート電極 26 を形成し、工程 (f) , (g) でエクステンション領域 30 およびソース/ドレイン領域 34 を形成する。したがって、エクステンション領域 30 およびソース/ドレイン領域 34 は、工程 (b) で行われる高温のアニール処理の影響を受けずに形成できる。そのため、不純物の拡散を抑制でき、設計通りの不純物プロファイルを有する浅い不純物層を形成できる。このような浅い不純物層の形成は、デバイスの微細化にとって非常に重要である。

【0035】

また、ゲート電極 26 も、工程 (b) で行われる高温のアニール処理の影響を受けずに形成できるので、ゲート電極の材料としてポリシリコンのみならずタンタルなどの金属を採用できる。ゲート電極として金属を用いた場合には、一般的に、ゲート電極が例えば 700℃ 以上の高温に晒されると、ゲート電極とゲート絶縁層との間で化学反応 (界面反応) を生じ、所望のゲート構造を形成できない。

【0036】

このように、本実施の形態では、工程 (b) より後の工程のアニール処理、例えば工程 (g) 、 (h) におけるアニールを 450 ~ 600℃ で行うことにより、浅い不純物層を形成でき、また、ゲート電極に金属を用いることができる。

【0037】

本実施の形態では、工程 (c) でシリコン層 20 の表面に熱酸化法によって酸化シリコン層からなる保護層 22 を選択的に形成することができる。この保護層 22 はゲート電極のエッチング時にストッパとして機能する十分な膜厚を確保できるため、ゲート電極の材料として酸化シリコンに対する選択比が小さい金属などの材料を採用できる。

【0038】

[第2の実施の形態]

図 9 ~ 図 17 は、第 2 の実施の形態に係る製造方法を示す断面図である。これらの図において図 1 ~ 図 8 (第 1 の実施の形態) に示す部分と実質的に同じ部分には同一符号を付してその詳細な説明を一部省略する。第 2 の実施の形態は、ダ

ミーゲート層およびスペーサ層の形成方法の点で、第1の実施の形態と異なる。

【0039】

(a) 図9に示すように、シリコンなどの半導体基板10に、素子分離絶縁層12を形成する。ついで、CVD法によって半導体基板10の表面に酸化シリコン層13を形成する。その後、酸化シリコン層13を公知のリソグラフィおよびエッチングによってパターンニングすることにより溝部13aを形成する。溝部13aの幅はゲート長に相当する。ついで、溝部13aにおいて、熱酸化法によって半導体基板10上に酸化シリコン層からなる保護層14を形成する。保護層14は、後のダミーゲート層のエッチング工程(d)において半導体基板10を保護する機能を有する。保護層14の膜厚などは第1の実施の形態と同様である。

【0040】

ついで、半導体基板10の上方に溝部13aを埋めるように第1ダミーゲート層16aを形成する。第1ダミーゲート層16aは、CVD法などを用いて窒化シリコン層を基板上に堆積した後、フォトリソグラフィおよび反応性イオンエッチングなどの異方性エッチングを行うことにより形成することができる。この第1ダミーゲート層16aは、下部が溝部13a内にあり、溝部13aより上の上部は溝部13aより大きい幅を有し、かつ上部の両側面は溝部13aより所定距離外側に位置するように形成される。

【0041】

ついで、図10に示すように、第1ダミーゲート層16aの両側面に接してサイドウォール状の第2ダミーゲート層16bを形成する。第2ダミーゲート層16bは、CVD法などを用いて窒化シリコン層を基板上に堆積した後、反応性イオンエッチングなどの異方性エッチングを行うことにより形成することができる。このようにして、第1ダミーゲート層16aとサイドウォール状の第2ダミーゲート層16bとからなるダミーゲート層16を形成できる。ダミーゲート層16は、次のエッチング工程において酸化シリコン層13に対して十分に異なる選択比をとれるように、酸化シリコン層13と異なる材料によって形成される。本実施の形態では、第1の実施の形態と同様に、ダミーゲート層16は窒化シリコン層から構成され、スペーサ層となる層は酸化シリコン層から構成されている。

【0042】

(b) 図11に示すように、ダミーゲート層16をマスクとして酸化シリコン層13をエッチングすることにより、スペーサ層18を形成できる。

【0043】

ついで、半導体基板10上の露出面に、エピタキシャル成長によってシリコン層20を選択的に形成する。シリコン層20は、半導体基板10上においてシリサイド化されるのに必要な膜厚と、つぎの酸化シリコン層（ストッパ層）の形成工程（c）で熱酸化に必要な膜厚とを考慮して決めることができる。シリコン層20の膜厚は、このような点を考慮すると、50～100nmとすることができる。シリコン層20は、第1の実施の形態と同様にして形成できる。

【0044】

以下の工程（c）～（h）は、第1の実施の形態と同様であるので主要な点のみ記載する。

【0045】

(c) 図12に示すように、熱酸化法によって、シリコン層20の表面に酸化シリコン層からなるストッパ層22を選択的に形成する。ストッパ層22は、後の工程（e）のエッチングにおいてシリコン層20を保護する機能を有する。

【0046】

(d) 図13に示すように、窒化シリコン層からなるダミーゲート層16を熱リン酸によってエッチングして除去する。この工程では、半導体基板10は酸化シリコン層からなる保護層14で覆われ、また、シリコン層20は酸化シリコン層からなるストッパ層22とスペーサ層18とによって覆われているため、いずれも熱リン酸によるエッチングでダメージを受けることがない。

【0047】

ついで、保護層14を希フッ酸によるライトエッチングで除去し、半導体基板10を露出させる。

【0048】

(e) 図14に示すように、ゲート絶縁層24、ゲート電極26およびキャップ層28を形成する。ゲート絶縁層24、ゲート電極26およびキャップ層28

などは、第1の実施の形態と同様の形成方法および材料を採用できる。また、この工程では、シリコン層20はストッパ層22とスペーサ層18とによって覆われているため、ゲート電極26のエッチング時にダメージを受けることがない。

【0049】

(f) 図15に示すように、第1の実施の形態と同様に、酸化シリコンからなるスペーサ層18を例えば希フッ酸によってエッチングする。ついで、斜めイオン注入によって半導体基板10の露出部（スペーサ層18が除去された領域）に不純物を導入して、エクステンション領域30を形成する。

【0050】

(g) 図16に示すように、ゲート絶縁層24、ゲート電極26およびキャップ層28の両側面にサイドウォール絶縁層32を形成する。サイドウォール絶縁層32は、第1の実施の形態と同様の形成方法および材料などを採用できる。

【0051】

ついで、イオン注入（図示の例では斜めイオン注入）によって、シリコン層20および半導体基板10に不純物を導入し、半導体基板10にソース／ドレイン領域34を形成する。そして、アニールを行うことによりソース／ドレイン領域の不純物を活性化させる。このときのアニール温度は、第1の実施の形態と同様に、不純物の熱拡散を抑制し、ゲート電極に悪影響を与えない程度の温度で行われることが望ましい。特に、ゲート電極26としてタンタルなどの金属を用いた場合には、低温アニール（550℃程度）を行うことが望ましい。

【0052】

(h) 図17に示すように、シリコン層20にシリサイド技術によってシリサイド層36を形成する。シリサイド層36は、第1の実施の形態と同様の形成方法を採用できる。また、シリサイド工程においては、アニール温度は、不純物の熱拡散を抑制し、ゲート電極に悪影響を与えない程度の温度で行われることが望ましい。金属としてニッケルを用いることにより、500℃程度の低温でシリサイド化を行うことができる。この場合、ゲート電極としてタンタルなどの金属を用いた場合でもこれにダメージを与えることがなく、また、不純物層の熱による拡散を抑制できる。

【0053】

この後は、通常のプロセス技術により層間絶縁層および配線層を形成し、半導体装置を完成することができる。

【0054】

第2の実施の形態では、ダミーゲート層16を第1ダミーゲート層16aと第2ダミーゲート層16bとで構成している。このようにダミーゲート層16を2段階で形成することにより、第1ダミーゲート層16aとゲート電極26、キャップ層28とを同じマスクを用いてパターニングできる。もちろん、ダミーゲート層16は、1回のパターニングで形成してもよい。

【0055】

第2の実施の形態でも第1の実施の形態と同様な作用効果を得ることができる。すなわち、本実施の形態では、工程(b)でエピタキシャル成長によってシリコン層20を形成した後に、工程(e)でゲート電極26を形成し、工程(f)、(g)でエクステンション領域30およびソース/ドレイン領域34を形成する。したがって、エクステンション領域30およびソース/ドレイン領域34は、工程(b)で行われる高温のアニール処理の影響を受けずに形成できる。そのため、不純物の拡散を抑制でき、設計通りの不純物プロファイルを有する浅い不純物層を形成できる。

【0056】

また、ゲート電極26も、工程(b)で行われる高温のアニール処理の影響を受けずに形成できるので、ゲート電極の材料としてポリシリコンのみならずタンタルなどの金属を採用できる。

【0057】

このように、本実施の形態では、工程(b)より後の工程のアニール処理、例えば工程(g)、(h)におけるアニールを450～600℃で行うことにより、浅い不純物層を形成でき、また、ゲート電極に金属を用いることができる。

【0058】

本実施の形態では、工程(c)でシリコン層20の表面に熱酸化法によって酸化シリコン層からなる保護層22を選択的に形成することができる。この保護層

22はゲート電極のエッチング時にストップパとして機能する十分な膜厚を確保できるため、ゲート電極の材料として酸化シリコンに対する選択比が小さい金属などの材料を採用できる。

【0059】

本発明は以上の実施の形態に限定されず、本発明の要旨の範囲内で各種の態様をとることができる。

【図面の簡単な説明】

【図1】 第1の実施の形態にかかる製造方法の一工程を模式的に示す断面図である。

【図2】 第1の実施の形態にかかる製造方法の一工程を模式的に示す断面図である。

【図3】 第1の実施の形態にかかる製造方法の一工程を模式的に示す断面図である。

【図4】 第1の実施の形態にかかる製造方法の一工程を模式的に示す断面図である。

【図5】 第1の実施の形態にかかる製造方法の一工程を模式的に示す断面図である。

【図6】 第1の実施の形態にかかる製造方法の一工程を模式的に示す断面図である。

【図7】 第1の実施の形態にかかる製造方法の一工程を模式的に示す断面図である。

【図8】 第1の実施の形態にかかる製造方法の一工程を模式的に示す断面図である。

【図9】 第2の実施の形態にかかる製造方法の一工程を模式的に示す断面図である。

【図10】 第2の実施の形態にかかる製造方法の一工程を模式的に示す断面図である。

【図11】 第2の実施の形態にかかる製造方法の一工程を模式的に示す断面図である。

【図 1 2】 第 2 の実施の形態にかかる製造方法の一工程を模式的に示す断面図である。

【図 1 3】 第 2 の実施の形態にかかる製造方法の一工程を模式的に示す断面図である。

【図 1 4】 第 2 の実施の形態にかかる製造方法の一工程を模式的に示す断面図である。

【図 1 5】 第 2 の実施の形態にかかる製造方法の一工程を模式的に示す断面図である。

【図 1 6】 第 2 の実施の形態にかかる製造方法の一工程を模式的に示す断面図である。

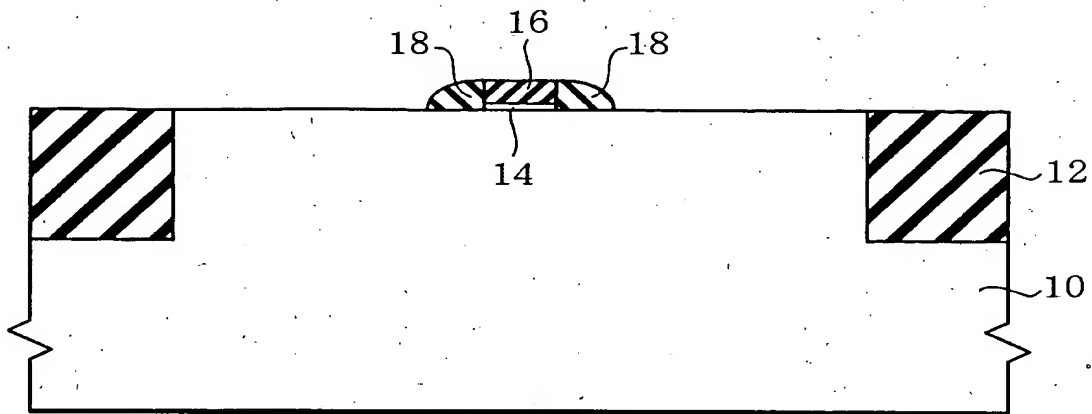
【図 1 7】 第 2 の実施の形態にかかる製造方法の一工程を模式的に示す断面図である。

【符号の説明】

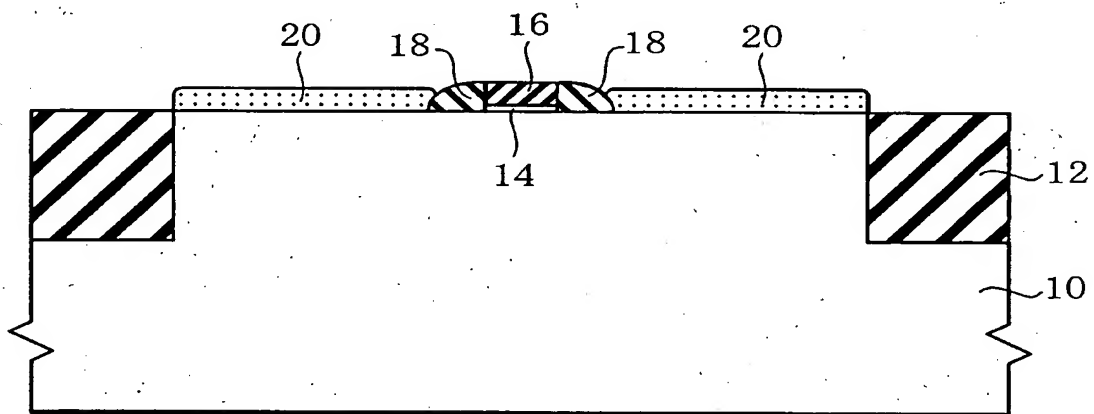
10 半導体基板、12 素子分離絶縁層、14 保護層、16 ダミーゲート層、16a 第1ダミーゲート層、16b 第2ダミーゲート層、18 スペーサ層、20 シリコン層、22 ストップ層、24 ゲート絶縁層、26 ゲート電極、28 キャップ層、30 エクステンション領域、32 サイドウォール絶縁層、34 ソース／ドレイン領域、36 シリサイド層

【書類名】 図面

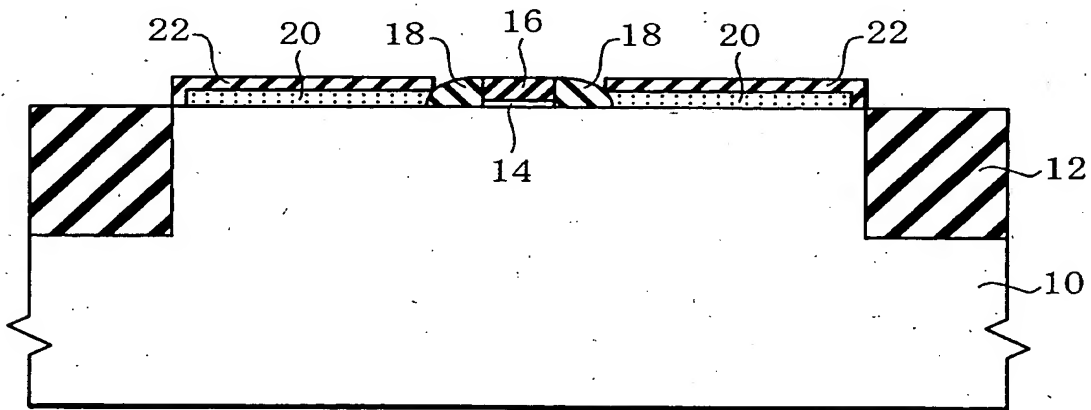
【図 1】



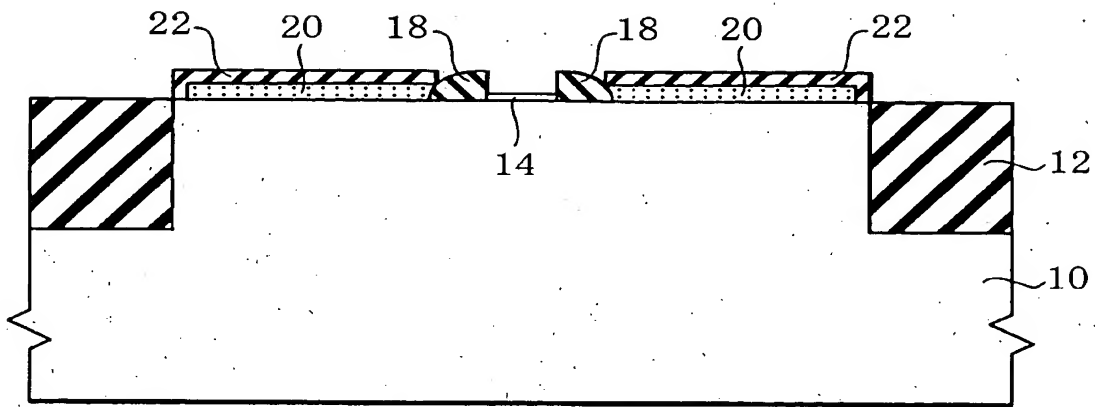
【図 2】



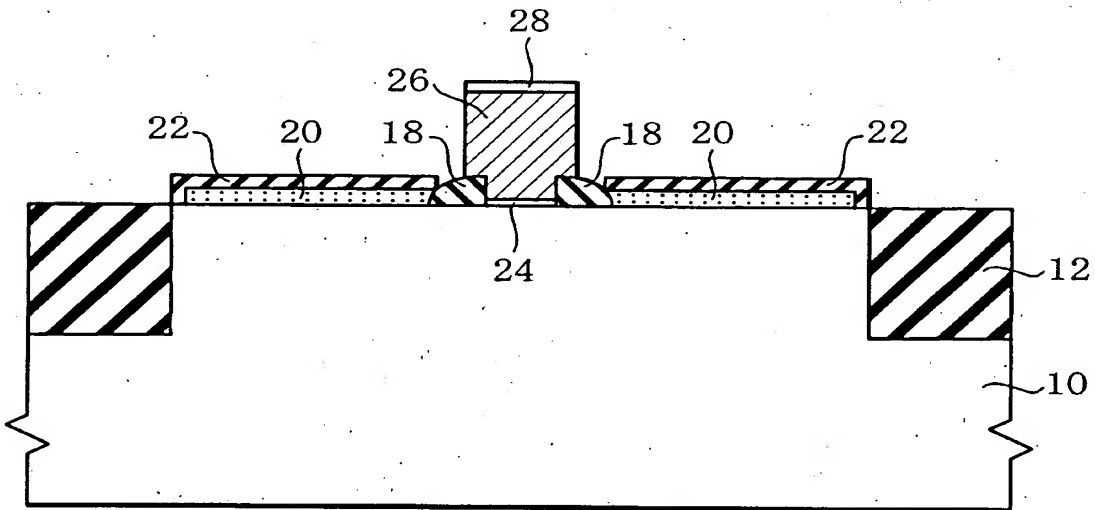
【図 3】



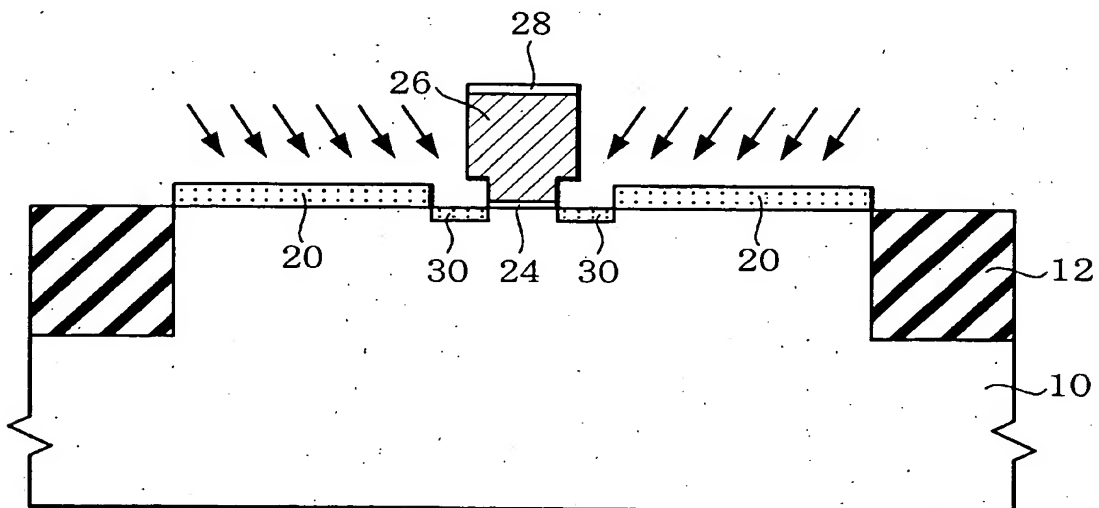
【図 4】



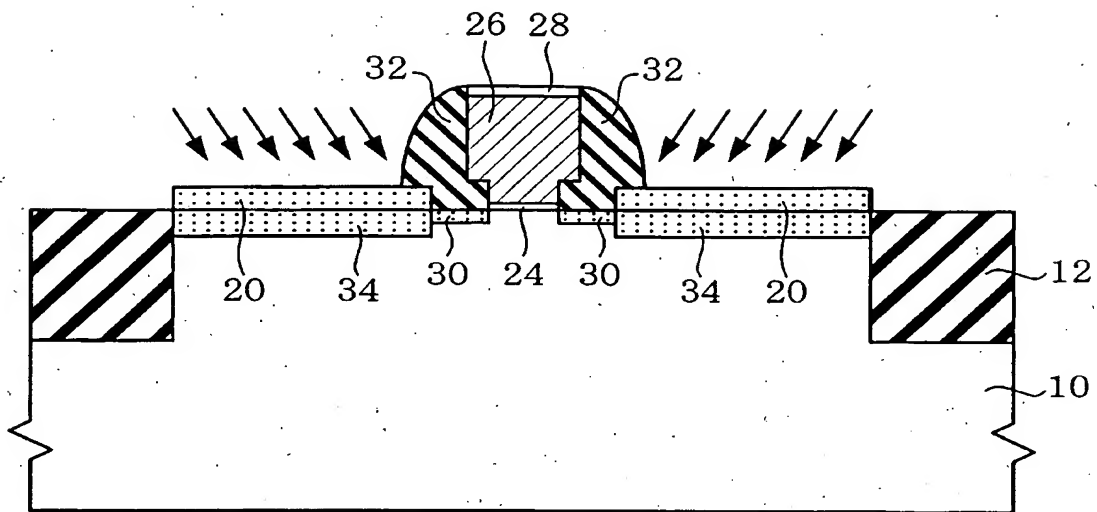
【図 5】



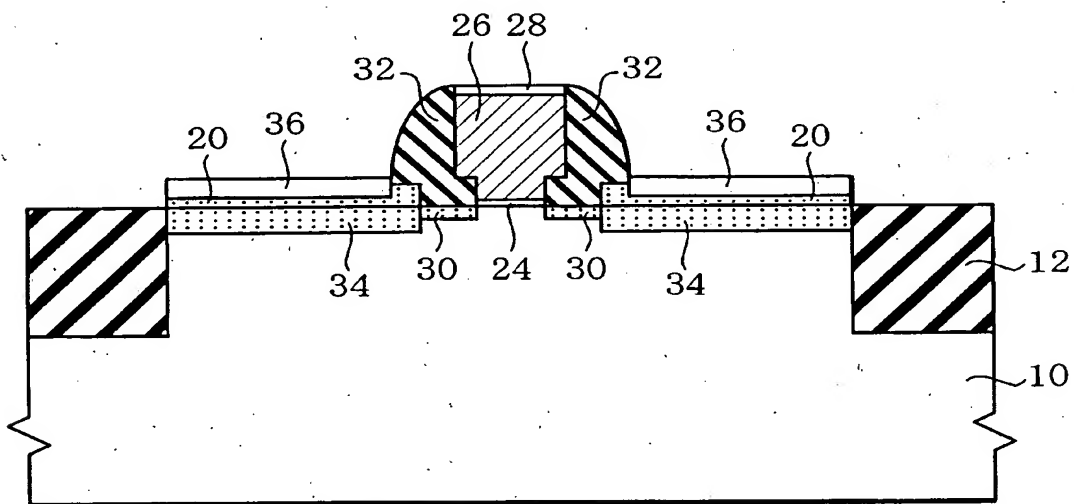
【図 6】



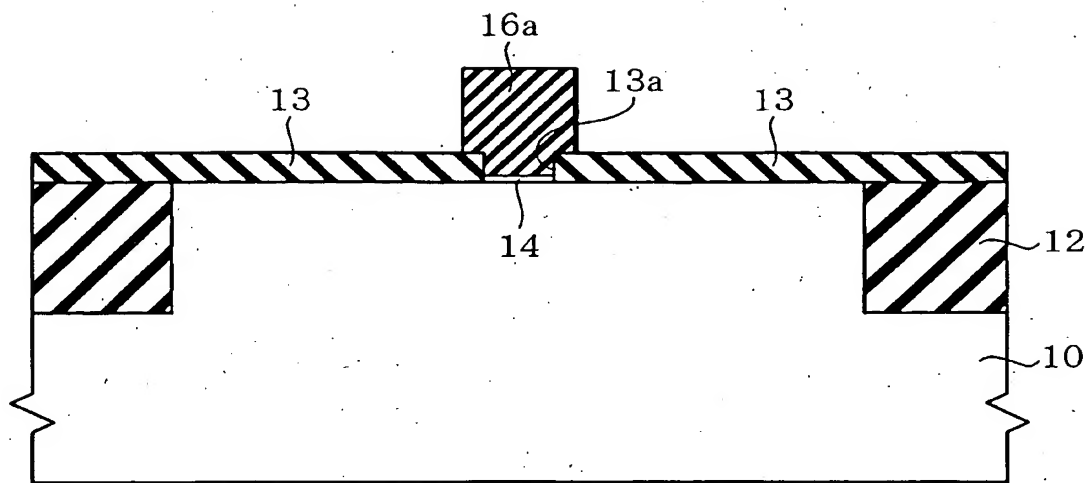
【図 7】



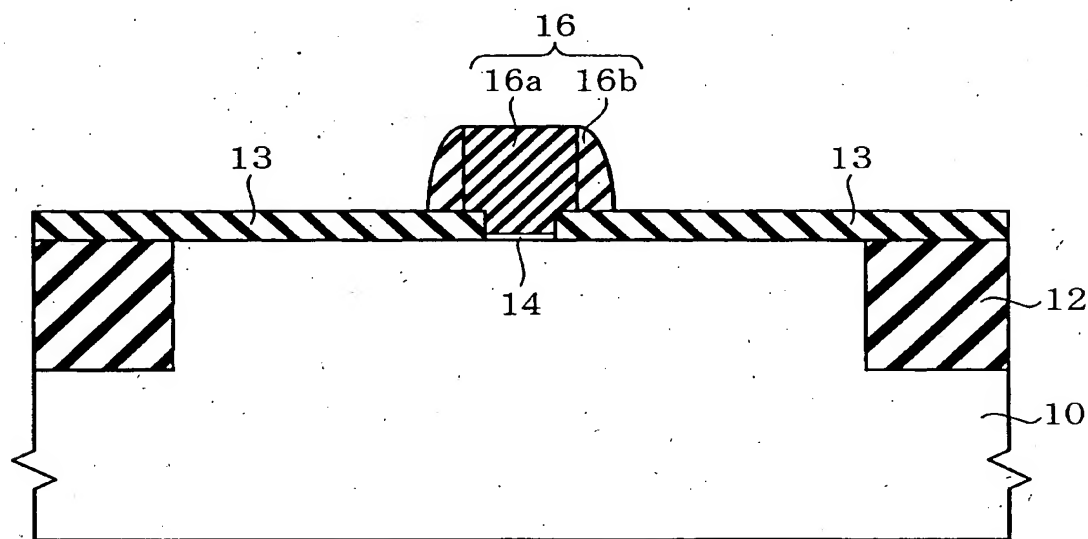
【図 8】



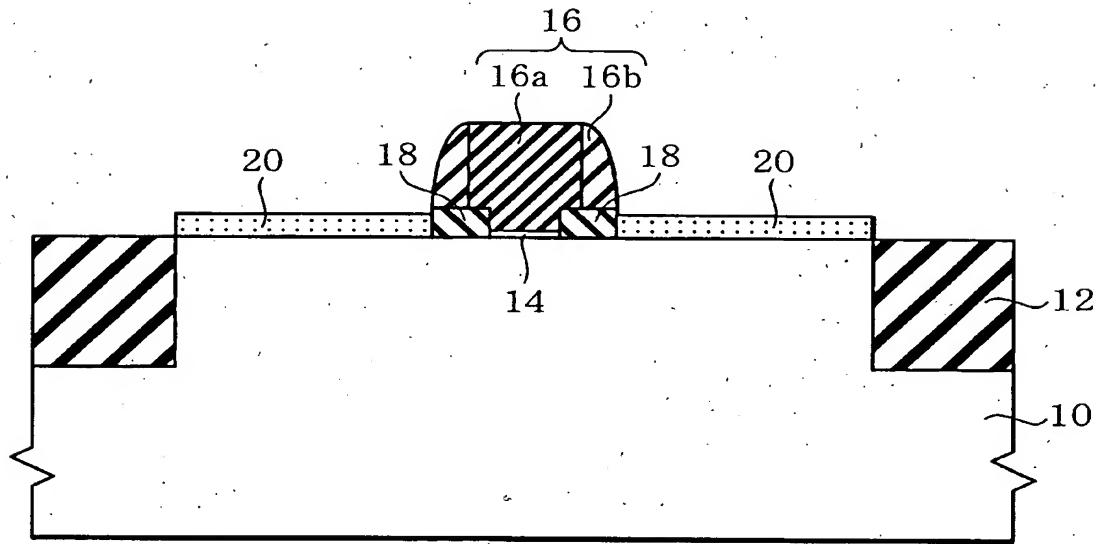
【図 9】



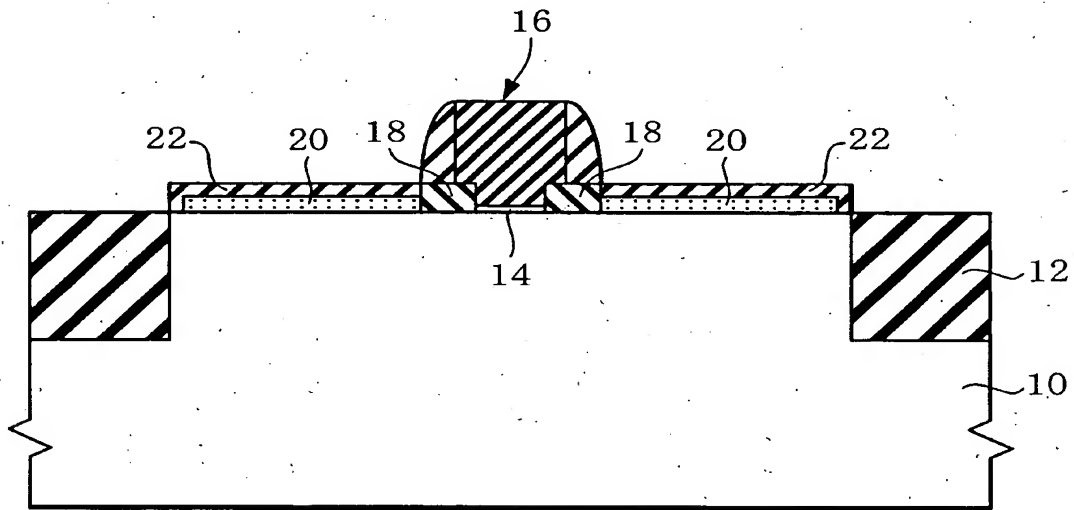
【図 10】



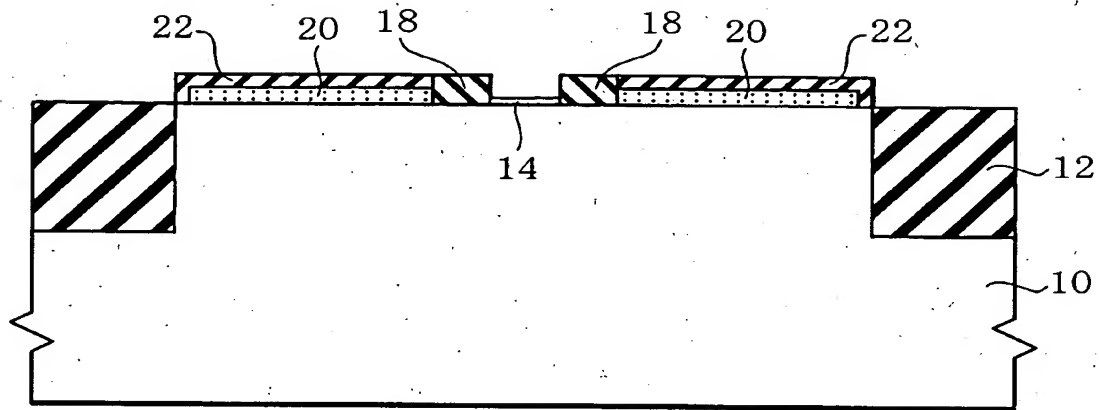
【図 11】



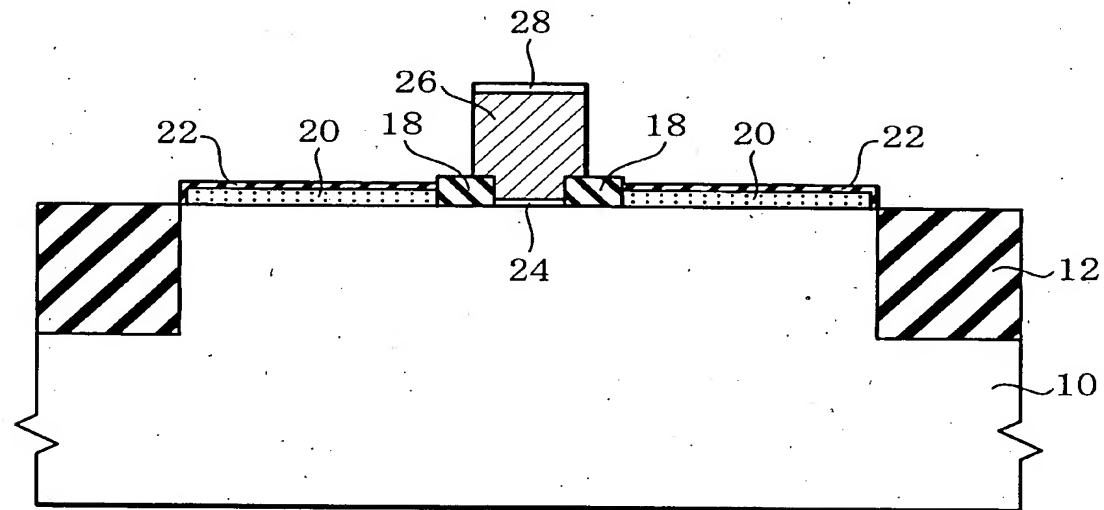
【図 12】



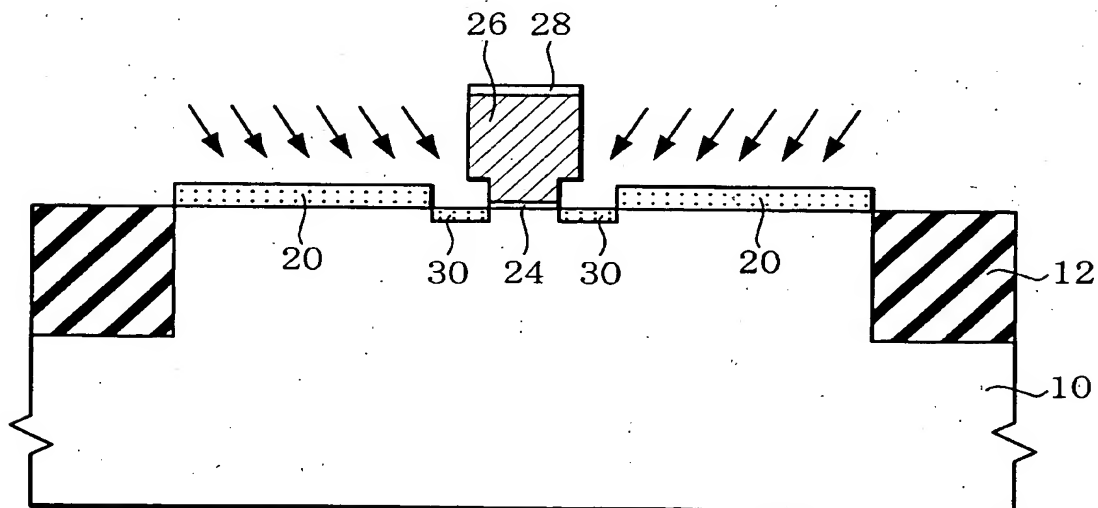
【図 13】



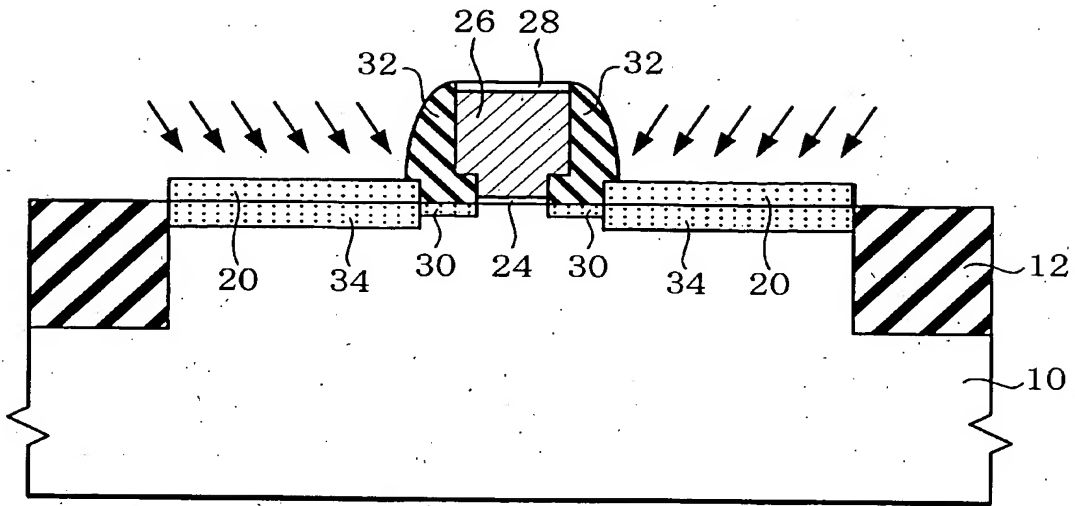
【図 14】



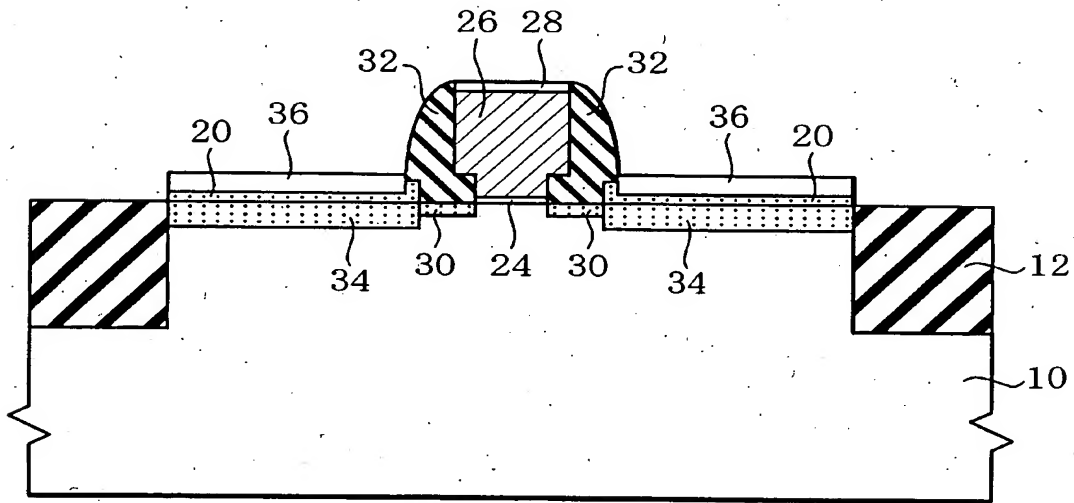
【図 15】



【図 16】



【図 17】



【書類名】 要約書

【要約】

【課題】 エピタキシャル成長の工程での熱処理の影響を受けずに精度の高い不純物層を形成できる、半導体装置の製造方法を提供する。

【解決手段】 半導体装置の製造方法では、半導体基板 10 の上方にダミーゲート層 16 を形成する。半導体基板 10 の上方に、ダミーゲート層 16 の両側面に隣接してスペーサ層 18 を形成する。半導体基板 10 の上方にシリコン層 20 をエピタキシャル成長によって選択的に形成する。ダミーゲート層 16 を除去した後、ゲート電極 26 を形成する。シリコン層 20 を介して半導体基板 10 に不純物を導入してソース／ドレイン領域 34 を形成する。さらに、シリコン層 20 をシリサイド化する。

【選択図】 図 2

特願 2002-292276

出 願 人 履 歴 情 報

識別番号

[000002369]

1. 変更年月日

1990年 8月20日

[変更理由]

新規登録

住 所

東京都新宿区西新宿2丁目4番1号

氏 名

セイコーエプソン株式会社